

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP9260286

Publication date: 1997-10-03

Inventor: SAITO HISAFUMI

Applicant: SHARP KK

Classification:

- international: *H01L21/20; H01L21/02; H01L21/268; H01L21/336; H01L27/12; H01L29/786; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): H01L21/20; H01L21/268; H01L21/336; H01L27/12; H01L29/786*

- European:

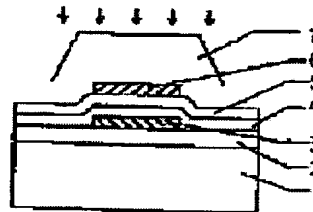
Application number: JP19960071705 19960327

Priority number(s): JP19960071705 19960327

[Report a data error here](#)

Abstract of JP9260286

PROBLEM TO BE SOLVED: To enable crystalline grains of large diameter comprised in a semiconductor thin film to be uniform in grain diameter by a method wherein a laser beam is made to irradiate an amorphous semiconductor thin film through an anti-reflecting film which is lower in reflectance than the amorphous semiconductor thin film and formed on the amorphous semiconductor thin film but above a metal thin film so as to fully cover the anti-reflecting film. **SOLUTION:** An insulating ground film 2 is deposited on an insulating board 1, a metal thin film 3 is deposited on the ground film, and furthermore an insulating film 4 is deposited thereon. In succession, an amorphous silicon thin film 5 is deposited on the amorphous silicon thin film 5 by a vacuum CVD method. Then, an anti-reflecting film 6 lower in reflectance than the amorphous silicon thin film 5 is formed on the silicon thin film 5. For instance, an SiO₂ film deposited by a CVD method can be used as the anti-reflecting film 6. Then, laser rays 7 are made to irradiate the insulating board 1 from above to turn the amorphous silicon thin film 5 crystalline. At this point, laser rays are made to scan so as not to overlap each other on the anti-reflecting film 6.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-260286

(43)公開日 平成9年(1997)10月3日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/20		H 0 1 L	21/20
	21/268			21/268
	27/12			27/12
	29/786			29/78
	21/336			6 2 7 G
審査請求 未請求 請求項の数 6 O L (全 10 頁)				

(21)出願番号 特願平8-71705

(22)出願日 平成8年(1996)3月27日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 斉藤 尚史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

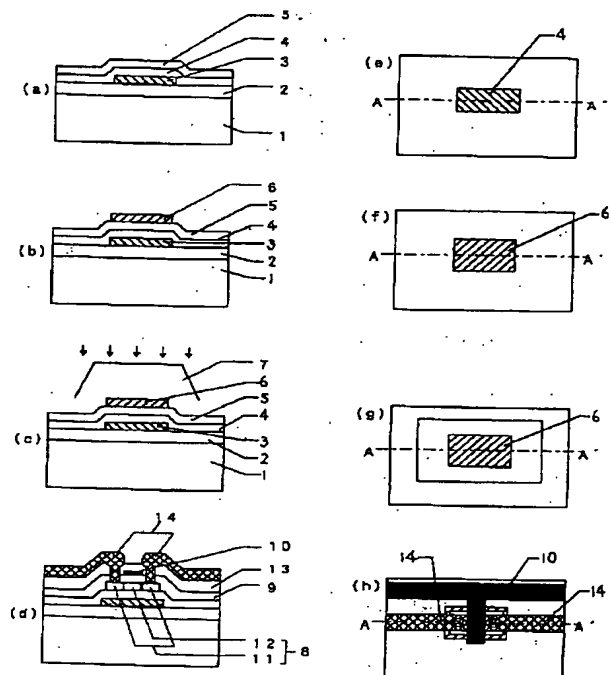
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【課題】 結晶性半導体薄膜を作製するためのレーザー光による温度分布を改善することにより、オフ時のリーク電流の少ない半導体装置の製造方法を提供する。

【解決手段】 非晶質半導体薄膜よりも反射率の低い膜を選択的に設け、基板の上方からレーザー光を走査しながら照射することにより非晶質半導体薄膜を結晶化させて結晶性半導体薄膜とする。その際、レーザー光の照射領域の面積が反射防止膜よりも大きく、かつ反射防止膜及びその周囲の領域を完全に包含するように照射されるように走査する。そのことにより反射率の低い膜の下方の非晶質半導体薄膜におけるレーザー光の実効的なエネルギー強度が高められ、金属薄膜に熱を吸収されることによる非晶質半導体薄膜の急速な温度低下が抑制される。その結果、結晶性半導体薄膜の膜質の不良及び特性の不均一性が解決されることになる。



【特許請求の範囲】

【請求項 1】 絶縁性表面を有する基板上に所定の形状の金属薄膜が配置され、その上方に絶縁膜を介して形成された非晶質半導体薄膜にレーザー光等のエネルギー線を照射する半導体装置の製造方法において、前記非晶質半導体薄膜上であって、かつ下方に前記金属薄膜が存在する部分に前記非晶質半導体薄膜よりも反射率の低い材料による反射防止膜を選択的に形成する工程と、前記反射防止膜の上方から照射されるレーザー光等のエネルギー線の照射領域が前記反射防止膜の面積よりも大きく、かつ前記反射防止膜及びその周囲の領域を完全に包含するように照射される工程とからなることを特徴とする半導体装置の製造方法。

【請求項 2】 前記反射防止膜の上方から照射されるレーザー光等のエネルギー線の照射領域の端部が前記反射防止膜以外の位置に概略一致するように照射されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記反射防止膜の上方から照射されるレーザー光等のエネルギー線の照射領域の端部が、その後あるいは左右またはその両方の照射領域の端部とそれぞれ前記反射防止膜以外の位置でのみ重なり合うように照射されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記反射防止膜は前記非晶質半導体薄膜を堆積する工程に引き続き、前記非晶質半導体薄膜を成膜した装置内で連続して成膜されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記反射防止膜は化学的気相成長法により成膜されるシリコン酸化膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 絶縁性表面を有する基板上に所定の形状の金属薄膜が配置され、その上方に絶縁膜を介して形成された非晶質半導体薄膜にレーザー光等のエネルギー線を照射する半導体装置の製造方法において、前記絶縁性表面を有する基板上に、所定形状の金属薄膜、絶縁膜、非晶質半導体薄膜を順次形成する工程と、前記非晶質半導体薄膜上に反射防止膜を形成する工程と、前記反射防止膜上にフォトレジストを形成する工程と、前記基板の裏面側より前記所定形状の金属薄膜をマスクとして、前記フォトレジストを露光し、フォトレジストによるマスクを形状する工程と、前記フォトレジストを用いて反射防止膜を所定形状に自己整合的に形成する工程と、前記反射防止膜の上方から照射されるレーザー光等のエネルギー線の照射領域が前記反射防止膜の面積よりも大きく、かつ前記反射防止膜及びその周囲の領域を完全に包含するように照射される工程とからなることをに特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアクティブマトリク

ス型液晶表示装置等に使用される薄膜トランジスタ等の半導体装置の製造方法に関し、特にこれらの半導体装置を構成する結晶性半導体薄膜の製造方法等に関するものである。

【0002】

【従来の技術】 近年、薄型で軽量、かつ低消費電力である利点を有するディスプレイとしてアクティブマトリクス型液晶表示装置が注目を集めている。その中でも大面積化、高解像度化及び低コスト化等の要求から、安価な低融点ガラス基板上に多結晶シリコン薄膜を用いた薄膜トランジスタ（以下 T F T と称する。）を形成し、これを液晶表示装置の画素電極のスイッチング素子とする技術に大きな期待が寄せられている。T F T の活性層となる結晶性半導体薄膜としての多結晶シリコン薄膜を低融点ガラス基板上に 600℃ 程度の低温で作成する技術としては、低融点ガラス基板上に非晶質シリコン薄膜を堆積した後に 600℃ 程度の温度で数時間～数十時間熱処理して結晶化させる固相成長法や、特開平 6-34997 号公報、特開平 6-69128 号公報あるいは特開平 6-140321 号公報に示されるようにレーザー光等を照射してその部分の非晶質シリコン薄膜を瞬時に熔融させ再結晶化させるレーザー結晶化法等の方法が提案されている。

【0003】 多結晶化されたシリコン薄膜は、その後 T F T の活性層となるように島状にパターニングされ、表面処理を施された後、その上にゲート絶縁膜が形成される。低温でゲート絶縁膜を作成する方法としては、プラズマ化学気相成長法（P C V D）、減圧化学気相成長法（L P C V D）、光化学気相成長法、低温で半導体薄膜の表面に熱酸化膜を形成する方法等がある。上述の結晶化方法のうち、レーザー結晶化法は非晶質シリコン薄膜の結晶化を短時間で、かつ結晶化された後の多結晶シリコン薄膜は高電界効果移動度を有するという特徴がある。また、基板上の任意の領域のみをレーザー光を照射して選択的に結晶化することができるという特徴がある。

【0004】 しかしながら、このレーザー結晶化法に用いられるレーザー光は少なからずエネルギー強度分布を有しているため、レーザー光が照射された領域間あるいはレーザー光が照射された領域の中心部とその周辺部とでエネルギー強度の違いによる膜質や特性のばらつきが生じるという問題点がある。そこで特開平 2-42717 号公報に示されるように半導体素子を形成する領域にレーザー光を照射する際、レーザー光のエネルギー強度が低い領域が半導体素子を形成する領域から外れるように照射してレーザー光のエネルギー強度分布による影響を回避する方法が提案されている。そして例えば特開平 6-34997 号公報に示されるように上述のような方法により得られた多結晶シリコン薄膜を活性層とする T F T が製造される。特に T F T がアクティブマトリクス

型液晶表示装置に用いられる場合は、TFTに光源からの強い光が照射されることになる。特にTFTのチャンネル領域に強い光が入射するとオフ時のリーク電流が増加する等の問題が生じる。そのため従来は活性層のチャンネル領域の下方にチャンネル領域に入射する光を遮るために金属薄膜等による遮光膜が設けられる。

【0005】

【発明が解決しようとする課題】高電界効果移動度を有する多結晶シリコン薄膜等の結晶性半導体薄膜を活性層に用いたTFTを作製する際の課題は、絶縁性基板の全面にわたって低温で、かつ均一に大粒径の結晶性半導体薄膜を形成することである。以下、結晶性半導体薄膜の中で一般的な多結晶シリコン薄膜を例として説明する。

【0006】多結晶シリコン薄膜はある大きさの分布を持ったシリコンの単結晶粒が集合したものであり、その単結晶粒どうしが接する部分に結晶粒界が形成される。多結晶シリコン薄膜の電気的特性は結晶粒径および結晶粒界の格子欠陥密度によって左右される。従って半導体装置を製造する場合は単結晶粒あるいは可能な限り結晶粒界の少ない大粒径の結晶粒により半導体装置の活性層を構成することが望ましい。特に活性層中に結晶粒界が多数存在すると、この結晶粒界に沿ってリーク電流が流れることになり、TFTの特性を著しく損なうことになる。

【0007】多結晶シリコン薄膜形成方法としては、主に固相成長法とレーザー結晶化法に大別される。固相成長法は絶縁性基板上に堆積された非晶質シリコン薄膜を600℃程度の低温熱処理により多結晶化する方法であるが、その結晶化に数時間～数十時間という長時間を要するため製造工程におけるスループットが極めて悪い。また、多結晶化された多結晶シリコン薄膜の電界効果移動度が小さいという課題も有している。一方、レーザー結晶化法は絶縁性基板上に堆積された非晶質シリコン薄膜にレーザー光を照射し、非晶質シリコン薄膜を瞬時に熔融、再結晶化させることにより多結晶化する方法であり、結晶化が短時間でできるうえ、多結晶化された後の多結晶シリコン薄膜は高電界効果移動度を有するという特徴がある。そのため現在では多数の研究機関で実用化に向けた活発な研究開発が行われている。

【0008】上述のレーザー結晶化法では結晶化にもちいるレーザー光が図7に示すようなエネルギー強度分布を有しており、この強度分布は照射されるレーザー光のビームスポットの径あるいは幅が小さくなるとより顕著となる傾向にある。即ち絶縁性基板31上に下地膜32を介して積層した非晶質シリコン薄膜35にレーザー光A又はBが照射されたとき、レーザー光A又はレーザー光Bが照射された領域の非晶質シリコン薄膜35には図7に示すようにレーザー光のエネルギー強度分布に対応してレーザー光が照射された領域の中心部Oが最も高温となり、周辺部に向かうに従い中心部に比べて温度が低

下するような温度分布が生じることになる。図7に点線Bで示すようにビームスポット径又は幅が小さい場合の強度分布は、実線Aで示したビームスポット径又は幅が大きい場合より急峻である。そのためレーザー光が照射された領域の非晶質シリコン薄膜中に不均一な核発生が起き、その結晶核から不規則に結晶粒が成長するため、結果的に大粒径の結晶粒や小粒径の結晶粒が混在して成長することになり、基板全面にわたって均一な結晶粒を得ることが困難であるという問題を有している。上述のレーザー光のエネルギー強度分布は光学的手法によりある程度まで補正することが可能であるが、完全にエネルギー強度分布が生じないようにするには至らない。例えば、図8に示すようにエネルギー強度分布を光学的手法により補正するためレーザー光をエネルギー強度が低い部分が互いに重なるように走査しながら照射した場合でもエネルギー強度が低い部分が生じることになり、結果として結晶化された半導体薄膜に不均一な領域を形成してしまうことになる。図8(a)は平面図、図8(b)は図8(a)のA-A'線の強度分布、図8(c)は図8(a)のB-B'線の強度分布を示す図である。特にエネルギー強度の低い部分が照射された領域では十分な結晶化が行われず、再度その領域に正規のエネルギー強度を有するレーザー光を照射しても結晶性は改善されない。

【0009】そこで従来は非晶質シリコン薄膜の上部または下部に部分的に金属膜を設け、レーザー光の照射による温度分布を均一にする試みや、金属膜によりレーザー光を遮光して金属膜のない部分の非晶質シリコン薄膜を結晶化した後、金属膜を取り除き再度レーザー光を照射することにより均一な結晶粒を得る方法、あるいは光学的手法によりレーザー光の強度分布を均一化する方法やレーザー光を走査する際、図9に示すようにレーザー光照射領域を僅かに移動させながら走査することで、レーザー光照射領域に重なりを持たせレーザー光の強度分布を平均化して均一性を向上させる方法等が提案されている。また、半導体素子を形成する領域にレーザー光を照射する際、レーザー光のエネルギー強度が低い部分が半導体素子を形成する領域から外れるように照射してレーザー光のエネルギー強度分布による影響を回避する方法が提案されている。

【0010】これらの方法はレーザー光の強度分布を改善させたり均一性を向上させたり、あるいはエネルギー強度分布による影響を回避する方法として僅かながら効果を有している。しかし解決しなくてはならない課題が存在することも事実である。

【0011】先ず金属膜を設ける方法に関しては、非晶質シリコン薄膜上に金属膜を設け、またそれらを除去する等のプロセスが別途必要となることに加えて、レーザー光を照射する工程も複数回必要となる。次にレーザー光照射領域を僅かに移動させながら走査する方法に関し

ては、上述のようにレーザー光のエネルギー強度が低い部分では十分な結晶化が行われず、再度その領域に正規のエネルギー強度を有するレーザー光を照射しても結晶性は改善されないという問題点を有している。その他にもレーザー光を照射する工程が1回であったとしても、一枚の基板に対してレーザー光が照射される回数が増大してしまうという問題点を有しており、半導体装置を製造する上でスループットを著しく低下させる要因となっている。以上のようにこれらの方法では半導体装置を製造する上でレーザー結晶化工程においてスループットを著しく低下させてしまう結果となる。

【0012】次にレーザー光のエネルギー強度が低い部分が半導体素子を形成する領域から外れるように照射する方法に関しては、レーザー光のエネルギー強度分布の影響を幾分回避することができるが、レーザー光のエネルギー強度が低い部分が半導体素子を形成する領域に重ならないようにレーザー光の走査を行うということは、言い換えればエネルギー強度が低いレーザー光が照射された領域には半導体素子を形成しないということであり、半導体素子の配置、レイアウト等において多くの制約が設けられることになる。また、半導体素子の配置、レイアウト等を優先するとレーザー光の走査方法が複雑となる等、半導体装置を設計あるいは製造する上では不都合な点が多い。

【0013】また、従来のようにTFETの活性層の下方、特にチャネル領域の下方に金属薄膜等による遮光膜を設けたTFETを製造しようとする場合は、図10

(a)に断面図を示すように初めに絶縁性基板31上に金属薄膜33等による遮光膜を所定の形状で設け、次いで全面に絶縁膜34を堆積させ、更にその上に非晶質シリコン薄膜35を堆積させた後に上方からレーザー光を照射するという工程で行う。図10(b)の強度分布に示すように非晶質シリコン薄膜35はレーザー光により加熱され熔融再結晶化するが、下方に遮光膜を有する非晶質シリコン薄膜ではレーザー光により発生した熱が遮光膜側へ流出あるいは吸収されるため、レーザー光が照射された直後から急速に冷却されることになり結晶化が十分に進行しない。このようにチャネル領域の下方に金属薄膜等による遮光膜を設けたTFETを製造する場合は上述のような従来の方法では効果的にレーザー光のエネルギー強度分布による影響を低減することができないばかりでなく、遮光膜の上方の非晶質シリコン薄膜を十分に結晶化することができないという課題を有している。

【0014】本発明は上述の課題を解決するもので、絶縁性基板上に均一な大粒径の結晶粒を実現することができるレーザー結晶化方法により特性のばらつきを抑え、かつ高電界効果移動度を有する半導体装置を製造する方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上記の課題を解決するた

めに本発明の特許請求の範囲の請求項1記載の半導体装置の製造方法は、絶縁性表面を有する基板上に所定の形状の金属薄膜が配置され、その上方に絶縁膜を介して形成された非晶質半導体薄膜にレーザー光等のエネルギー線を照射する半導体装置の製造方法において、非晶質半導体薄膜上であって、かつ下方に金属薄膜が存在する部分に非晶質半導体薄膜よりも反射率の低い材料による反射防止膜が選択的に形成する工程と、反射防止膜の上方から照射されるレーザー光等のエネルギー線の照射領域が反射防止膜の面積よりも大きく、かつ反射防止膜及びその周囲の領域を完全に包含するように照射される工程とからなることを特徴とし、そのことにより上記目的が達成される。

【0016】また、請求項2記載の半導体装置の製造方法は、請求項1の製造方法において、反射防止膜の上方から照射されるレーザー光等のエネルギー線の照射領域の端部が反射防止膜以外の位置に概略一致するように照射されることをに特徴とし、そのことにより上記目的が達成される。

【0017】また、請求項3記載の半導体装置の製造方法は、請求項1の製造方法において、結晶化工程において、反射防止膜の上方から照射されるレーザー光等のエネルギー線の照射領域の端部が、その前後あるいは左右またはその両方の照射領域の端部とそれぞれ反射防止膜以外の位置でのみ重なり合うように照射されることを特徴とし、そのことにより上記目的が達成される。

【0018】また、請求項4記載の半導体装置の製造方法は、請求項1の製造方法において、反射防止膜は非晶質半導体薄膜を堆積する工程に引き続き、非晶質半導体薄膜を成膜した装置内で連続して成膜されることを特徴とし、そのことにより上記目的が達成される。

【0019】また、請求項5の半導体装置の製造方法は、請求項1の製造方法において、反射防止膜は化学的気相成長法により成膜されるシリコン酸化膜であることを特徴とし、そのことにより上記目的が達成される。

【0020】また、請求項6の半導体装置の製造方法は、絶縁性表面を有する基板上に所定の形状の金属薄膜が配置され、その上方に絶縁膜を介して形成された非晶質半導体薄膜にレーザー光等のエネルギー線を照射する半導体装置の製造方法において、前記絶縁性表面を有する基板上に、所定形状の金属薄膜、絶縁膜、非晶質半導体薄膜を順次形成する工程と、前記非晶質半導体薄膜上に反射防止膜を形成する工程と、前記反射防止膜上にフォトレジストを形成する工程と、前記基板の裏面側より前記所定形状の金属薄膜をマスクとして、前記フォトレジストを露光し、フォトレジストによるマスクを形状する工程と、前記フォトレジストを用いて反射防止膜を所定形状に自己整合的に形成する工程と、前記反射防止膜の上方から照射されるレーザー光等のエネルギー線の照射領域が前記反射防止膜の面積よりも大きく、かつ前記

反射防止膜及びその周囲の領域を完全に包含するように照射される工程とからなることを特徴とし、そのことにより上記目的が達成される。

【0021】本発明によれば、所定の形状の金属薄膜が形成された絶縁性表面を有する基板上に非晶質半導体薄膜を堆積して非晶質半導体薄膜の上方からレーザー光を照射することにより非晶質半導体薄膜を結晶化する半導体装置の製造方法において、非晶質半導体薄膜上であって、かつ下方に金属薄膜が存在する部分に非晶質半導体薄膜よりも反射率の低い膜（以下、反射防止膜と呼ぶ）を配置する。その後、反射防止膜の上方からレーザー光を走査しながら照射して非晶質半導体薄膜を結晶化する。その際、レーザー光の照射領域の面積が反射防止膜よりも大きく、かつ反射防止膜及びその周囲の領域を完全に包含するように照射されるように走査する。そのため、反射防止膜が配置された領域は反射防止膜によって非晶質半導体薄膜表面の反射が最小限に抑えられる。即ち反射防止膜によってレーザー光の実効的なエネルギー強度を高めることになり、金属薄膜によって熱が吸収されることによる非晶質半導体薄膜の温度低下を最小限に抑制することができる。従って温度の急速な低下に起因する結晶性半導体薄膜の膜質、特性等のばらつきを効果的に抑制することができ、このような方法で結晶化された結晶性半導体薄膜で作製した TFT をアクティブマトリクス型液晶表示装置、特に周辺駆動回路を同一基板上に一体形成したドライバモノリシック型液晶表示装置に用いれば TFT の特性のばらつきが抑えられ、非常に高画質の液晶表示装置を製造することができる。

【0022】また、本発明の半導体装置の製造方法によれば、従来のようにレーザー光のエネルギー強度分布を緩和するためにレーザー光を走査しながら照射する際、僅かに走査ピッチをずらしながら幾重にもレーザー光を照射する必要がなくなるため、非晶質半導体薄膜の結晶化に要する時間を短縮することができる。特に上述のような大面積の液晶表示装置を製造する場合は従来に比べ非晶質半導体薄膜の結晶化に要する時間を大幅に短縮することができる。

【0023】また、本発明の半導体装置の製造方法によれば、反射防止膜は先の工程で形成した金属薄膜をマスクとするように基板裏面側からの露光により自己整合的に形成したから、非晶質半導体薄膜を結晶化する領域は TFT を形成する領域にほぼ完全に一致させることができる。

【0024】以上のように本発明は均質な結晶性半導体薄膜を容易に得ることができ、このような結晶性半導体薄膜により高性能な半導体装置、特に高い電界効果移動度を持つ高性能の TFT を実現し、これらの TFT から構成される半導体装置あるいは半導体回路を効率良く製造することができる。

【0025】

【発明の実施の形態】以下、本発明の詳細を図面に基いて説明する。図 3 は本発明の半導体装置の製造方法の主要部を示す断面図である。絶縁性基板 1 上に下地膜 2、金属薄膜 3 が所定の形状に形成される。その上に絶縁膜 4 と非晶質シリコン薄膜 5 を順に堆積して、その後、非晶質シリコン薄膜 5 上に反射防止膜 6 を所定の間隔で選択的に配置して、上方からレーザー光 7 を照射して結晶化している。反射防止膜 6 は非晶質シリコン薄膜 5 上であって下方に金属薄膜 3 を有する部分に整合して設けられている。この部分はレーザー光 7 によって発生した熱が金属薄膜 3 に吸収されてしまい、非晶質シリコン薄膜 5 の温度が急速に低下していしまう部分であるが、反射防止膜 6 によって実効的にエネルギー強度が高められ、温度の低下が抑制される。

【0026】発明者らが実験を行った結果、下方に金属薄膜を有する非晶質シリコン薄膜にレーザー光を照射して結晶化を行った場合、下方に金属薄膜がある部分とそうでない部分の多結晶シリコン薄膜の膜質に違いが生じることが判明した。これは前にも述べたようにレーザー光によって発生した熱が金属薄膜側へ吸収あるいは流出するために、レーザー光により一旦加熱された非晶質シリコン薄膜の温度が急速に低下して十分に結晶化が進行しないためであると考えられる。また、発明者らが行った他の実験結果では、非晶質シリコン薄膜上に反射防止膜を設けた領域と設けない領域は、同じ強度のレーザー光を照射した場合でも実効的なエネルギー強度に差が生じることが判明した。以上の結果から、発明者らは更に鋭意検討を重ね、下方に金属薄膜を有する非晶質シリコン薄膜上に反射防止膜を選択的に配置して、上方からレーザー光を照射することにより、図 4 に示すようにその領域の実効的なエネルギー強度を高めることで非晶質シリコン薄膜の温度低下を極めて低い水準に抑制することができるを見出したものである。

【0027】図 4 はレーザー光の強度分布を説明する図であり、図 4 (a) は斜視図、図 4 (b) は強度分布図である。図 3 のようにして、反射防止膜 6 が設けられた領域にレーザー光のエネルギー強度が均一な部分が照射され、反射防止膜 6 が設けられていない領域にはレーザー光のエネルギー強度の低い部分が照射される。反射防止膜 6 が設けられた部分では実効的にレーザー光のエネルギー強度が高められ、図示したようにほぼ均一な温度分布となるのである。本発明において反射防止膜 6 が設けられた領域にはレーザー光のエネルギー強度が均一な部分が照射され、レーザー光のエネルギー強度の低い部分、即ちレーザー光のエッジ部分が反射防止膜 6 上にかかるように走査される必要がある。レーザー光のエッジ部分は隣接するレーザー光照射領域と重なる部分であり、上述のようにレーザー光のエネルギー強度が不均一となり結晶化に悪影響を与える部分であるため、反射防止膜 6 上にそのようなレーザー光が照射されると本発

明の効果を著しく損なうことになる。但し、図 5 (a) に平面図、図 5 (b) に断面図を示したようにレーザー光のエネルギー強度が均一な部分が互いに重なるように走査された場合、仮に反射防止膜 6 上でレーザー光照射領域が重なったとしても反射防止膜 6 上には均一なエネルギー強度のレーザー光が照射されることになるため、本発明の効果を著しく損なうような重大な影響は生じない。

【0028】本発明において使用されるレーザーアニール装置の概念図を図 6 に示す。レーザー光は高周波数、高エネルギーで出力する方が安定したレーザー光が得られる。レーザー光の強度を発振周波数等で調整しようとするとレーザー発振器 17 から出力されたレーザー光は不安定なものとなる。そのため初に高周波数、高エネルギーで出力しておき、アッテネーター 18 と呼ばれる光学フィルタでその強度を調整される。次にホモジナイザー 19 で所定のビーム形状にされた後、プロセスチャンバー 20 内のステージ 21 の上の基板 22 に垂直に照射される。基板全体のアニール処理はステージを移動させながら行う。

【0029】(実施の形態 1) 図 1 (a) ~ (d) は本発明の半導体装置の製造方法を工程順に説明するための断面図であり、図 1 (e) ~ (h) は図 1 (a) ~ (d) に対応する平面図である。

【0030】本発明の実施の形態では絶縁性基板の例としてガラス基板を用いて説明する。プロセス温度は石英基板であれば、1200℃の高温プロセスにも耐えられるが、ガラス基板を用いる場合には、歪点が低いためプロセス温度は約600℃程度の低温に制限される。より大面積で、かつ安価な基板を用いようとする場合にはガラス基板の方が有利である。図 1 (a) および (e) に示すように、まず初めにガラス基板等の絶縁性基板 1 上に減圧 CVD 法、プラズマ CVD 法またはスパッタリング法等により下地膜 2 となる第 1 の絶縁膜として SiO₂ 膜を 300 nm 程度堆積する。次に金属薄膜 3 がスパッタリング法等により堆積される。金属薄膜 3 が遮光膜として用いられる場合は後工程での熱処理等に対する耐久性や遮光性の観点から、高融点金属等を用いることが望ましい。本発明の実施の形態では Ta を用い、100 ~ 200 nm、例えば約 150 nm の膜厚で堆積し、5 * 40

$$R = \frac{n_1^2 (n_0 - n_a)^2 \cos^2 G - (n_0 n_a - n_1^2)^2 \sin^2 G}{n_1^2 (n_0 + n_a)^2 \cos^2 G + (n_0 n_a + n_1^2)^2 \sin^2 G}$$

$$G = 2\pi / \lambda \cdot n_1 d_1$$

【0034】上記の式に値を代入して反射率が最も低くなる反射防止膜 6 となる SiO₂ 膜の膜厚を求めると、約 50 nm となった。これは計算上の値であり、実際には成膜装置の性能や成膜条件等により膜厚が基板内あるいは基板間で数%から十数%程度ばらつく場合が十分に考えられるが、上記の式に値を代入して求めた膜厚を目

* ~ 10 μm 角の形状に加工した。遮光膜は TFT のチャネル領域に光が入射するのを防ぐ目的で設けられるため、TFT が形成される位置にチャネル領域と同一形状かあるいは一回り大きく形成される。遮光膜は TFT のサイズや形状に合わせて形成されるため、形状は正方形や長方形等の四角形には限定されない。遮光膜の寸法も同様に上述の大きさに限定されない。

【0031】次にその上に絶縁膜 4 を堆積する。絶縁膜 4 には SiO₂ 膜等を用いることができる。続いて減圧 CVD 法またはプラズマ CVD 法等により非晶質シリコン薄膜 5 としてノンドープ非晶質シリコン薄膜を 10 ~ 100 nm、例えば約 50 nm の膜厚で堆積させる。上述の工程において、下地膜 2 を堆積する工程と金属薄膜 3 を堆積する工程との間に熱処理等の工程が追加されても全く問題ない。例えば絶縁性基板上に下地膜となる第 1 の絶縁膜を形成した後、その絶縁膜の緻密化や膜質を向上させるために熱処理等を施し、その後金属薄膜を堆積したとしても本発明の効果を損なうことはない。

【0032】次に図 1 (b) および (f) に示すように非晶質シリコン薄膜 5 上に反射防止膜 6 を形成する。反射防止膜 6 には例えば SiO₂ 膜を用いることができる。SiO₂ 膜は CVD 法あるいはスパッタリング法により堆積させることができる。CVD 法を用いれば非晶質シリコン薄膜を堆積する工程に引き続いて同一成膜装置内で連続して成膜することができる。このようにすれば製造工程を短縮することができ、スループットが大幅に向上する。次に SiO₂ 膜を所定の形状にパターニングする。SiO₂ 膜のパターニングにはフッ酸系のエッチング液を用いてエッチングすることができる。本発明の実施の形態では反射防止膜 6 は前記工程で形成した所定形状の金属膜の形状と同一形状にパターニングした。反射防止膜 6 の膜厚は次式から決定した。レーザー光に波長 λ = 308 nm の XeCl エキシマレーザーを用いる場合を例にとって説明する。反射率を R、大気中の屈折率を n₀ (= 1.0)、反射防止膜 6 となる SiO₂ 膜の屈折率を n₁ (= 1.46)、膜厚を d₁ nm、多結晶化する非晶質シリコン薄膜 5 の屈折率を n_a (= 3.73) とする。

【0033】

【数 1】

$$R = \frac{n_1^2 (n_0 - n_a)^2 \cos^2 G - (n_0 n_a - n_1^2)^2 \sin^2 G}{n_1^2 (n_0 + n_a)^2 \cos^2 G + (n_0 n_a + n_1^2)^2 \sin^2 G}$$

$$G = 2\pi / \lambda \cdot n_1 d_1$$

標値として絶縁膜を形成すれば、仮にある程度の膜厚分布が生じたとしても形成された絶縁膜は反射防止膜として十分に機能するため、本発明の効果を損なうことはない。

【0035】次に図 1 (c) および (g) に示すように絶縁性基板の上方からレーザー光 7 の照射を行い、非晶

質シリコン薄膜 5 を結晶化する。使用するレーザー光としては X e C l エキシマレーザー（波長 308 nm）、K r F エキシマレーザー（波長 248 nm）、A r F エキシマレーザー（波長 193 nm）、X e F エキシマレーザー（波長 353 nm）等を用いることができる。本発明の実施の形態では X e C l エキシマレーザーを用いて説明する。照射するエネルギー密度は 200 mJ/cm^2 、パルス幅は 50 ns、発振周波数は 300 Hz とした。レーザー光の照射条件はレーザー光を照射される膜の膜質、膜厚等により異なる。ここでレーザー光 7 はレーザー光の重なる領域が反射防止膜 6 上にならないように走査される。反射率をもとに計算すると、反射防止膜 6 を設けた領域は最大約 40% 程度実効エネルギー強度が高められることになる。

【0036】次に図 1（d）および（h）に示すように反射防止膜 6 を除去して、多結晶シリコン薄膜を半導体素子の活性層 8 となるように島状にパターニングする。続いてゲート絶縁膜 9 およびゲート電極 10 を形成する。ゲート電極には低抵抗の配線材料である A l 系の金属を用いることができる。耐熱性等を考慮して A l - T i 等の A l 合金を用いることが望ましい。次に活性層 8 にイオン注入法、レーザードーピング法、あるいはプラズマドーピング法等を用いて N チャネルトランジスタを作成するときには P^+ 、P チャネルトランジスタを作成するときには B^+ をドーピングしてソース領域およびドレイン領域 11 を形成する。ゲート電極 10 の下方領域はチャンネル領域 12 となる。その後、レーザーアニール等の方法を用いて不純物の活性化を行い、層間絶縁膜 13 を積層する。層間絶縁膜には段差被覆性のよい有機シランを材料としたプラズマ CVD 法等による $S i O_2$ 膜を数百 nm ～数 μm 積層するのが一般的である。また、他には窒化シリコン膜を用いることもできる。次に層間絶縁膜 13 及びゲート絶縁膜 9 にコンタクトホールを開口し、ソース電極およびドレイン電極 14 を形成する。ソース電極及びドレイン電極 14 はゲート電極 10 と同様に A l 系の金属で形成する。A l 系の金属以外に高融点金属を用いても良い。高融点金属は A l に比べて段差被覆性に優れている。以上、本発明の実施の形態において、反射防止膜除去後の T F T の製造方法はその一例を示したものであり、T F T の製造方法はこれに限定されるものではない。

【0037】（実施の形態 2）次に本発明の他の製造方法の詳細を説明する。図 2（a）～（d）は本発明の半導体装置の製造方法を工程順に説明するための断面図である。尚、平面図は実施の形態 1 と同様であるため省略した。

【0038】図 2（a）に示すように、まず初めにガラス基板等の絶縁性基板 1 上に減圧 CVD 法、プラズマ CVD 法またはスパッタリング法等により下地膜 2 となる第 1 の絶縁膜として $S i O_2$ 膜を 300 nm 程度堆積す

る。次に金属薄膜 3 がスパッタリング法等により堆積される。金属薄膜 3 が遮光膜として用いられる場合は後工程での熱処理等に対する耐久性や遮光性の観点から、高融点金属等を用いることが望ましい。本発明の実施の形態では T a を用い、100 ～ 200 nm、例えば約 150 nm の膜厚で堆積し、5 ～ 10 μm 角の形状に加工した。遮光膜は T F T のチャンネル領域に光が入射するのを防ぐ目的で設けられるため、T F T が形成される位置にチャンネル領域と同一形状かあるいは一回り大きく形成される。遮光膜は T F T のサイズや形状に合わせて形成されるため、形状は正方形や長方形等の四角形には限定されない。遮光膜の寸法も同様に上述の大きさに限定されない。次にその上に絶縁膜 4 を堆積する。絶縁膜 4 には $S i O_2$ 膜等を用いることができる。続いて減圧 CVD 法またはプラズマ CVD 法等により非晶質シリコン薄膜 5 としてノンドープ非晶質シリコン薄膜を 10 ～ 100 nm、例えば約 50 nm の膜厚で堆積させる。上述の工程において、下地膜 2 を堆積する工程と金属薄膜 3 を堆積する工程との間に熱処理等の工程が追加されても全く問題ない。例えば絶縁性基板上に下地膜となる第 1 の絶縁膜を形成した後、その絶縁膜の緻密化や膜質を向上させるために熱処理等を施し、その後金属薄膜を堆積したとしても本発明の効果を損なうことはない。以上の工程は上述の実施の形態 1 と同様である。

【0039】次に図 2（b）に示すように非晶質シリコン薄膜 5 上に反射防止膜 6 を形成する。反射防止膜 6 には例えば $S i O_2$ 膜を用いることができる。 $S i O_2$ 膜は CVD 法あるいはスパッタリング法により堆積させ、所定の形状にパターニングする。 $S i O_2$ 膜のパターニングにはフッ酸系のエッチング液を用いてエッチングにより行うことができる。本発明の実施の形態では $S i O_2$ 膜上にフォトレジストを形成して $S i O_2$ 膜を堆積した面とは別の面側、即ち絶縁性基板 1 の裏面側からフォトレジストを露光 15、現像して所定形状の金属薄膜 3 と同一形状のフォトレジストによるマスクを形成した。このようにして形成されたフォトレジスト 16 によるマスクを用いて $S i O_2$ 膜をエッチングして反射防止膜 6 を形成した。以上のように金属薄膜 3 をマスクとして自己整合的に反射防止膜 6 を形成するようにしたため、この工程において新たなフォトマスクは必要とならない。反射防止膜 6 の膜厚は実施の形態 1 と同様の方法で算出した。本発明の実施の形態においても約 50 nm 程度に設定した。

【0040】次に図 2（c）に示すようにフォトレジスト 16 を除去した後、絶縁性基板の上方からレーザー光の照射を行い、非晶質シリコン薄膜 5 を結晶化する。使用するレーザー光としては X e C l エキシマレーザー（波長 308 nm）、K r F エキシマレーザー（波長 248 nm）、A r F エキシマレーザー（波長 193 nm）、X e F エキシマレーザー（波長 353 nm）等を

用いることができる。本発明の実施の形態ではXeClエキシマレーザーを用いて説明する。照射するエネルギー密度は $200\text{ mJ}/\text{cm}^2$ 、パルス幅は 50 ns 、発振周波数は 300 Hz とした。レーザー光の照射条件はレーザー光を照射される膜の膜質、膜厚等により異なる。ここでレーザー光7はレーザー光の重なる領域が反射防止膜6上にならないように走査される。

【0041】次に図2(d)に示すように反射防止膜6を除去して、多結晶シリコン薄膜を半導体素子の活性層8となるように島状にパターンニングする。続いてゲート絶縁膜9およびゲート電極10を形成する。ゲート電極には低抵抗の配線材料であるAl系の金属を用いることができる。耐熱性等を考慮してAl-Ti等のAl合金を用いることが望ましい。次に活性層8にイオン注入法、レーザードーピング法、あるいはプラズマドーピング法等を用いてNチャネルトランジスタを作成するときにはP⁺、Pチャネルトランジスタを作成するときにはB⁺をドーピングしてソース領域およびドレイン領域11を形成する。ゲート電極10の下方領域はチャネル領域12となる。その後、レーザーアニール等の方法を用いて不純物の活性化を行い、層間絶縁膜13を積層する。層間絶縁膜には段差被覆性のよい有機シランを材料としたプラズマCVD法等によるSiO₂膜を数百nm〜数μm積層するのが一般的である。また、他には窒化シリコン膜を用いることもできる。次に層間絶縁膜13及びゲート絶縁膜9にコンタクトホールを開口し、ソース電極およびドレイン電極14を形成する。ソース電極及びドレイン電極14はゲート電極10と同様にAl系の金属で形成する。Al系の金属以外に高融点金属を用いても良い。高融点金属はAlに比べて段差被覆性に優れている。以上、本発明の実施の形態において、反射防止膜除去後のTFETの製造方法はその一例を示したものであり、TFETの製造方法はこれに限定されるものではない。

【0042】上述のように実施の形態1または2では半導体装置としてアクティブマトリクス型液晶表示装置に用いられるTFETを例にして説明したが、絶縁ゲート型電界効果トランジスタ等の半導体装置であってもよく、用途もアクティブマトリクス型液晶表示装置に限定されるものではない。また、同様に非晶質半導体薄膜の下方に絶縁膜を介して設けられる金属薄膜として遮光膜を例にして説明したが、金属薄膜による配線あるいは電極であっても一向に差し支えなく、本発明は同様の効果を奏する。

【0043】

【発明の効果】以上、上述のように本発明の半導体装置の製造方法によると、所定の形状の金属薄膜が形成された絶縁性表面を有する基板上に非晶質半導体薄膜を堆積して、その後、基板の上方からレーザー光を走査しながら照射することにより非晶質半導体薄膜を結晶化させる

半導体装置の製造方法において、非晶質半導体薄膜上であって、かつ下方に金属薄膜が存在する部分に非晶質半導体薄膜よりも反射率の低い膜を選択的に設け、基板の上方からレーザー光を走査しながら照射することにより非晶質半導体薄膜を結晶化させて結晶性半導体薄膜とする。その際、レーザー光の照射領域の面積が反射防止膜よりも大きく、かつ反射防止膜及びその周囲の領域を完全に包含するように照射されるように走査する。そのため、反射防止膜が配置された領域は反射防止膜によって非晶質半導体薄膜表面の反射が最小限に抑えられる。即ち反射防止膜によってレーザー光の実効的なエネルギー強度を高めることになり、金属薄膜によって熱が吸収されることによる非晶質半導体薄膜の温度低下を最小限に抑制することができる。従って温度の急速な低下に起因する結晶性半導体薄膜の膜質、特性等のばらつきを効果的に抑制することができ、このような方法で結晶化された結晶性半導体薄膜で作製したTFETをアクティブマトリクス型液晶表示装置、特に周辺駆動回路を同一基板上に一体形成したドライバモノリシック型液晶表示装置に用いればTFETの特性のばらつきが抑えられ、非常に高画質の液晶表示装置を製造することができる。更に従来に比べ、レーザー光を照射する工程およびレーザー光を照射する回数が低減される。特にレーザー光を照射する回数は従来に比べて大幅に低減されることになり、半導体装置の製造工程におけるスループットが大幅に向上する。この差はレーザー光を照射する基板が大幅になるにつれて顕著なものとなる。それ以外にも半導体薄膜に対するダメージが低減されることになる。

【0044】以上のように本発明は均質な結晶性半導体薄膜を容易に得ることができ、このような結晶性半導体薄膜により高性能な半導体装置、特に高い電界効果移動度を持つ高性能のTFETを実現し、これらのTFETから構成される半導体装置あるいは半導体回路を効率良く製造することができる産業上有益な発明である。

【図面の簡単な説明】

【図1】実施形態1の半導体装置の製造工程を示す断面図である。

【図2】実施形態2の半導体装置の製造工程を示す断面図である。

【図3】本発明の半導体装置の製造方法の主要部を示す断面図である。

【図4】本発明の半導体装置の製造方法によるレーザー光の強度分布を示す図である。

【図5】本発明の半導体装置の製造方法によるレーザー光の走査例を示す図である。

【図6】レーザーアニール装置の概念図である。

【図7】レーザー光の強度分布を示す図である。

【図8】従来例によるレーザー光の強度分布を示す図である。

【図9】従来例によるレーザー光の走査方法を示す図で

ある。

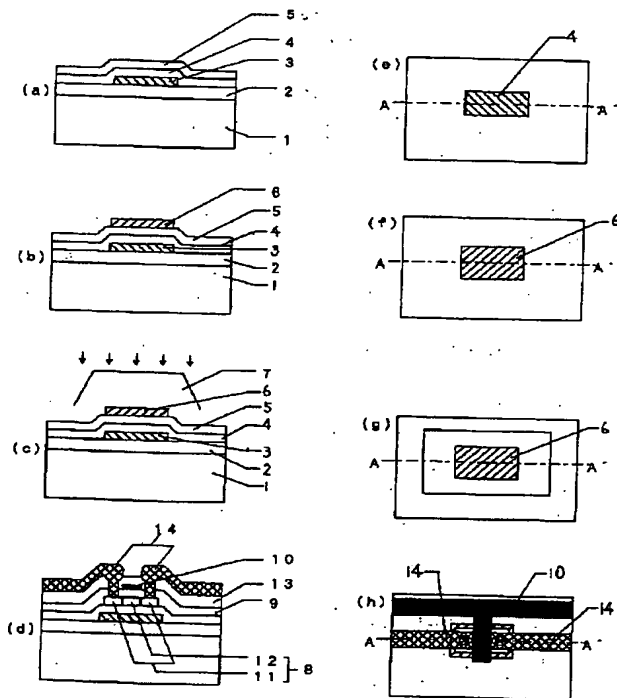
【図10】従来例のレーザー光による温度分布を示す図である。

【符号の説明】

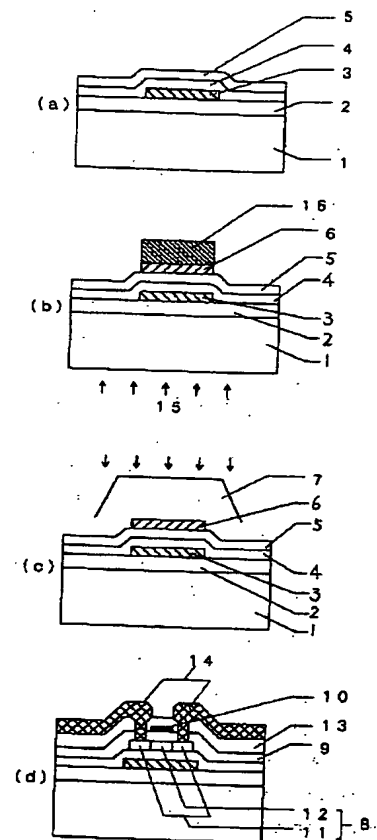
- 1 絶縁性基板
- 2 下地膜
- 3 金属薄膜
- 4 絶縁膜
- 5 非晶質シリコン薄膜
- 6 反射防止膜
- 7 レーザー光
- 8 活性層
- 9 ゲート絶縁膜

- * 10 ゲート電極
- 11 ソース領域およびドレイン領域
- 12 チャンネル領域
- 13 層間絶縁膜
- 14 ソース電極およびドレイン電極
- 15 露光
- 16 フォトレジスト
- 17 レーザー発振器
- 18 アッテネーター
- 10 19 ホモジナイザー
- 20 プロセスチャンパー
- 21 ステージ
- * 22 基板

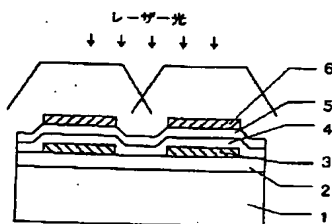
【図1】



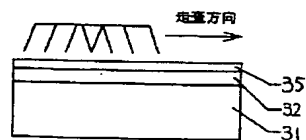
【図2】



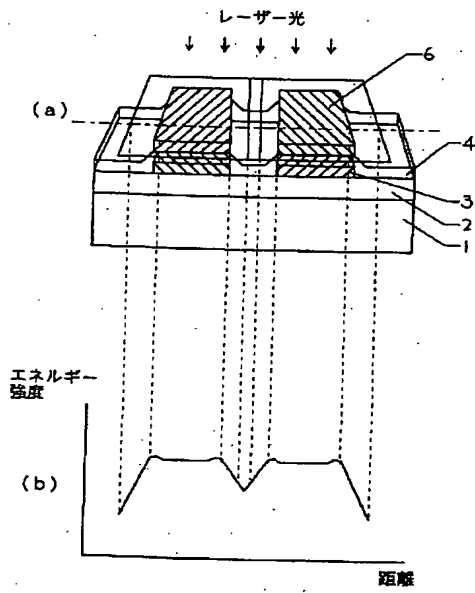
【図3】



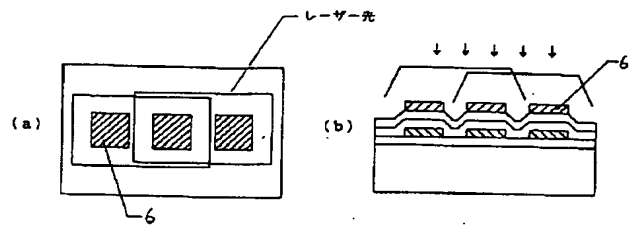
【図9】



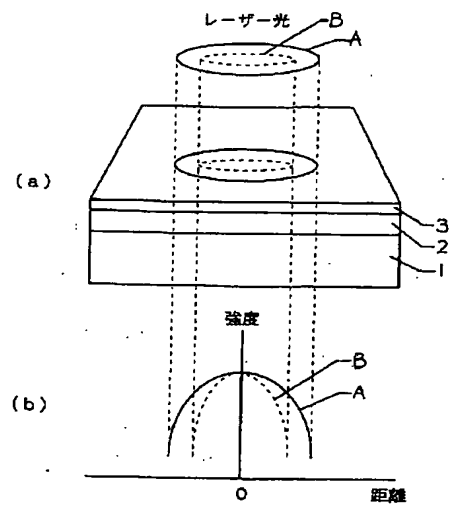
【図4】



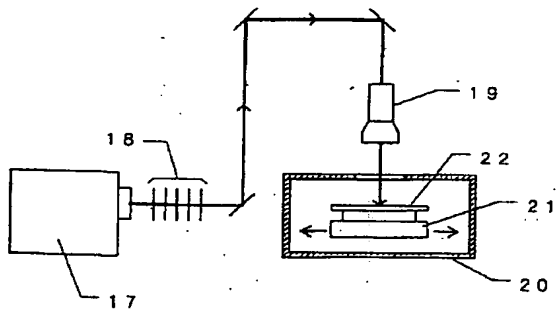
【図5】



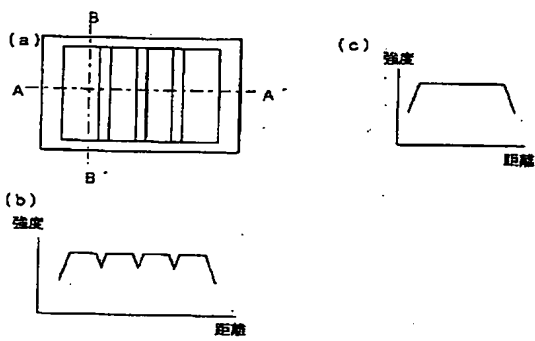
【図7】



【図6】



【図8】



【図10】

